UNIVERSITI MALAYA	**PRO FORMA KURSUS** ***COURSE PRO FORMA***

PENTING / *IMPORTANT*:

Kandungan Pro Forma ini tidak boleh diubah tanpa kelulusan Senat bagi perkara-perkara yang telah ditandakan*. Pindaan kepada perkara lain boleh diluluskan di peringkat Akademi/Fakulti/Institut/Pusat.

*Contents of this Pro Forma shall not be changed without the Senate's approval for items indicated with *. Changes to the other items can be approved at the Academy/Faculty/Institution/Centre level.*

	Versi Bahasa Malaysia ***Malay Version***	**Versi Bahasa Inggeris** ***English Version***
Akademi/Fakulti/Institut/Pusat *Academy/Faculty/Institute/Centre*	Fakulti Kejuruteraan	*Faculty of Engineering*
Jabatan *Department*	Jabatan Kejuruteraan Elektrik	*Department of Electrical Engineering*
Nama Program Akademik Name of Academic *Programme*	Sarjana Muda Kejuruteraan Elektrik	*Bachelor of Electrical Engineering*
Kod Kursus* *Course Code**	KIE4018	*KIE4018*
Tajuk Kursus* *Course Title**	Rekabentuk VLSI	*VLSI Design*
Kredit* *Credit**	2	*2*
Masa Pembelajaran Pelajar (SLT) *Student Learning Time (SLT)*	80	*80*
Prasyarat/Keperluan Minimum Kursus *Course Pre-requisite(s)/Minimum Requirement(s)*	-	-
Hasil Pembelajaran Kursus* *Course Learning Outcomes**	Di akhir kursus ini, pelajar dapat: 1) Merekabentuk logik VLSI sebagai litar, rajah lidi, dan bentangan berdasarkan peraturan rekabentuk dan spesifikasi. 2) Menganalisa prestasi CMOS dalam terma keluasan, kuasa dan kelajuan 3) Menilai ciri-ciri teknologi VLSI dan bagaimana ia	*At the end of the course, students are able to:* *1) Design VLSI logic as circuits, stick diagrams and layout subject to design rules and specification* *2) Analyse CMOS performance in terms of area, power and speed* *3) Evaluate the properties of VLSI technology and*

	Versi Bahasa Malaysia ***Malay Version***	**Versi Bahasa Inggeris** ***English Version***
	memberi impak kepada implementasi logik, rekabentuk optima dan rekabentuk sistem.	*how they affect logic implementation, optimisation and system design.*
Kemahiran Insaniah *Soft Skills*	Pemikiran Kritis dan Penyelesaian Masalah (CT1-CT3)	*Critical Thinking and Problem Solving (CT1-CT3)*
Sinopsis Kandungan Kursus *Synopsis of Course Contents*	Kursus ini bertujuan memberi pengenalan pada rekabentuk litar *very large scale integration (VLSI).*Topik lanjutan termasuk: teknologi IC, alat CAD, bentangan, peraturan rekabentuk, ciri-ciri litar CMOS dan perkiraan prestasi, sel piawai dan rekabentuk penuh biasa, senibina untuk VLSI, masa dan kebolehujian.	*This course is intended to be an introduction to the design of very large scale integration (VLSI) circuits. Advanced topics includes: IC technology, CAD tools, layout, design rules, CMOS circuit characterization and performance estimation, standard cells and full custom designs, architectures for VLSI, timing, and testability.*
Pemberatan Penilaian* *Assessment Weightage**	Penilaian Berterusan: 40% Peperiksaan Akhir: 60%	*Continuous Assessment: 40%* *Final Examination: 60%*
Kaedah Maklum Balas Tentang Prestasi *Methodologies for Feedback on Performance*	Gred/markah untuk tugasan, ujian dan/atau pembentangan individu diumumkan dalam kelas dan/atau dipamerkan di papan kenyataan.	*Grades/marks for assignment, test and/or individual presentation announced in class and/or displayed on the notice board*
Kriteria Dalam Penilaian Sumatif *Criteria in Summative Assessment*	Sila rujuk Kaedah-Kaedah Universiti Malaya (Pengajian Ijazah Pertama) 2019 dan Peraturan-Peraturan Universiti Malaya (Pengajian Ijazah Pertama) 2019	*Please refer to the University Of Malaya (First Degree Studies) Rules 2019 And University Of Malaya (First Degree Studies) Regulations 2019*